

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(11) 2-74046 (A) (43) 14.3.1990 (19) JP

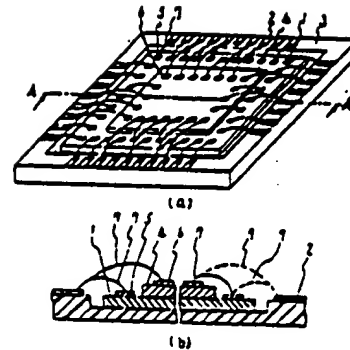
(21) Appl. No. 63-225767 (22) 9.9.1988

(71) NEC IC MICROCOMPUT SYST LTD (72) MASA AKI IDENO

(51) Int. Cl. H01L21/60

PURPOSE: To eliminate an increase in the size of a case as well as to lessen the sizes of semiconductor integrated circuit chips and to contrive the improvement of a yield by a method wherein the semiconductor integrated circuit chips are placed in order on a case island in order of size.

CONSTITUTION: A first integrated circuit chip 1 is mounted on a case island 3 and a second integrated circuit chip 4 is fixed on the chip 1 in such a way that a conductive film 5 for external connection use of the chip 1 is exposed. Here, the film 5 of the chip 1 and a conductive film 6 for external connection use of the chip 4 are respectively connected with case leads 2 by bonding wires 7. Thereby, large scale circuits can be housed in the same case without enlarging the size of a case. Moreover, as there is no need to constitute a large scale circuit on one chip, the sizes of the integrated circuit chips are also reduced and the improvement of a yield can be contrived.



(Signature)

[Translation]

(19) Japan Patent Office

(12) Patent Release (A)

(11) Patent Application Release

Hei.2(1990)-74046

(43) Release Date: Mar. 14, 1990

(51) Int.Cl^s Identification No. Agency Control No.

H 01 L 21/60 3 0 1 A 6918-5F

Examination Request: Not yet requested
Items in Application: 1 (Total 3 pages)

(54) Name of Invention: Semiconductor Integrated Circuit
Device

(21) Patent Application: Sho.63(1988)-225767

(22) Application Date: September 9, 1988

(72) Inventor: Masaaki Ideno
c/o NEC IC Microcomputer Systems
7-15 Shiba 5-chome
Minato-ku, Tokyo [Japan]

(72) Inventor: Kazuyasu Fujishima
[same address]

(71) Applicant: Nippon Electric IC Microcomputer
Systems, Ltd.
7-15 Shiba 5-chome
Minato-ku, Tokyo [Japan]

(74) Agent: Susumu Uchihara, Patent Attorney)

Specifications

1. Name of Invention: Semiconductor Integrated circuit
Device

2. Scope of Patent Application: A semiconductor integrated circuit device characterized by being equipped with multiple semiconductor integrated circuit (IC) chips of differing chip sizes, a case wherein the above-noted semiconductor IC chips are mounted sequentially in a case island by chip size, and bonding wires connecting the above-noted case's case leads to the semiconductor IC chips' conductive films for external connections.

3. Detailed Explanation of Invention

Field for Commercial Utilization: This invention bears on a semiconductor IC device, and especially on a semiconductor IC device with a composite chip structure.

Usual Technology: Figure 2 is a plane diagram of the usual composite-chip semiconductor IC device, in which single or multiple semiconductor IC circuit chips 8 are arranged two-dimensionally in the case and connected to case leads 2. Here, 3 is the case island, 5 and 7 are respectively conductive films for external connections to bonding wires.

Problems the Invention Seeks to Resolve

The above-described semiconductor IC device, with its IC chips arranged 2-dimensionally in the case, will have its case size enlarged either when a large-scale circuit is divided into two chips and mounted in the case, or when a large-scale circuit is realized on one chip and mounted in the case. Because IC chip size also increases, there is the shortcoming also of that inviting lowered throughput.

The purpose of this invention is to provide a semiconductor IC device with a composite chip structure without enlarging the case size.

Means to Resolve Problem: With this invention, the semiconductor IC device is made up to include being equipped with multiple semiconductor IC chips of differing size, a case in which the above-noted semiconductor IC chips are sequentially mounted on a case island by chip size, and bonding wires that connect the above-noted case's case leads to the semiconductor IC chips' conductive films for external connections.

Application Example: Next, we will explain the invention, referring to the figures.

Figures 1(a) and (b) are respectively an oblique diagram and a cross-sectional diagram at the A-A' line showing one

application example of a composite-chip semiconductor IC device from this invention. With this application example first IC chip 1 is mounted on case island 3, and second IC chip 4 is affixed on top of first IC chip 1 so as to expose first IC chip 1's conductive film 5 for external connections. Here both first IC chip 1's conductive film 5 for external connectors and second IC chip's conductive film 6 for external connections are respectively connected to case leads 2 by bonding wires 7.

Invention's Effectiveness: As explained above, because with this invention the semiconductor integrated-circuit device has multiple chips mounted in a stack, the size of its case does not expand, making it possible to include large-scale circuits within the case. Also, with this structure there is no need to make up large-scale circuits within one chip, so that the IC chips' size also becomes less and one can work out improvements in the throughput.

Simple Explanation of Figures

Figures 1(a) and (b) are respectively an oblique diagram and a cross-sectional diagram at the A-A' line of a composite-chip semiconductor IC device showing one application example of this invention. Figure 2 is a plane diagram of the usual composite-chip semiconductor IC device.

- 1 first IC chip
- 2 case lead
- 3 case island
- 4 second IC chip
- 5 first IC chip's external-connecting conductive film
- 6 second IC chip's external-connecting conductive film
- 7 bonding wire

Agent: Susumu Uchihara, Patent attorney

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-74046

⑬ Int.Cl.³

H 01 L 21/60

識別記号

3 0 1 A

庁内整理番号

6918-5F

⑭ 公開 平成2年(1990)3月14日

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 半導体集積回路装置

⑯ 特 願 昭63-225767

⑰ 出 願 昭63(1988)9月9日

⑱ 発 明 者 井 手 野 雅 明 東京都港区芝5丁目7番15号 日本電気アイシーマイコンシステム株式会社内

⑲ 出 願 人 日本電気アイシーマイコンシステム株式会社 東京都港区芝5丁目7番15号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体集積回路装置

特許請求の範囲

チップ・サイズの異なる複数の半導体集積回路チップと、前記半導体集積回路チップをチップ・サイズの大きさ順にケース・アイランド上に順次配置するケースと、前記ケースのケース・リードと半導体集積回路チップの外部接続用導電膜とを相互接続するボンディング・ワイヤとを備えることを特徴とする半導体集積回路装置。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体集積回路装置に関し、特に複合チップ構造の半導体集積回路装置に関する。

〔従来の技術〕

第2図は従来の複合チップ半導体集積回路装置

の平面図で、1個或いは複数の半導体集積回路チップ8が2次元的にケース内に配置されケース・リード2と相互接続される。ここで、3はケース・アイランド、5および7はそれぞれ外部接続用導電膜およびボンディング・ワイヤである。
〔発明が解決しようとする課題〕

しかしながら、上述した従来の半導体集積回路装置は、ケース内に集積回路チップが2次元的に配置されている為、大規模な回路を2チップに分け同一ケースに搭載した場合、或いは大規模な回路を1チップで実現しケースに搭載した場合の何れでも、ケースのサイズは大きくなり、また集積回路チップのサイズも大きくなる為、歩留りの低下をまねく欠点がある。

本発明の目的は、ケース・サイズを大型化することなき複合チップ構造の半導体集積回路装置を提供することである。

〔課題を解決するための手段〕

本発明によれば、半導体集積回路装置は、チップ・サイズの異なる複数の半導体集積回路チッ

アと、前記半導体集積回路チップをチップ・サイズの大きさ順にケース・アイランド上に順次設置するケースと、前記ケースのケース・リードと半導体集積回路チップの外部接続用導電膜とを相互接続するボンディング・ワイヤとを備えることを含んで構成される。

【~~実施例~~
(~~問題を解決するための手段~~)

次に本発明について、図面を参照して説明する。

第1図(a)および(b)はそれぞれ本発明の一実施例を示す複合チップ半導体集積回路装置の斜視図およびそのA-A'断面図である。本実施例によれば、第1の集積回路チップ1がケース・アイランド3上に搭載され、また第2の集積回路チップ4が第1の集積回路チップ1の外部接続用導電膜5を露出させるように第1の集積回路チップ1上に固着される。ここで第1の集積回路チップ1の外部接続用導電膜5と第2の集積回路チップ4の外部接続用導電膜6とはボンディング・ワイヤ7によってケース・リード2とそれぞれ接続

される。

【発明の効果】

以上説明したように本発明によれば、半導体集積回路装置は、複数個のチップを重ねて搭載する為、ケースのサイズを拡大することなく、大規模な回路を同一ケース内に納めることが可能となる。又、上記の構造により、大規模な回路を1チップで構成する必要がないので、集積回路チップのサイズも小さくなり、歩留りの向上をはかることができる。

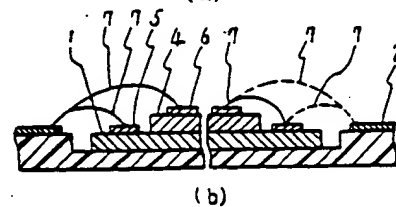
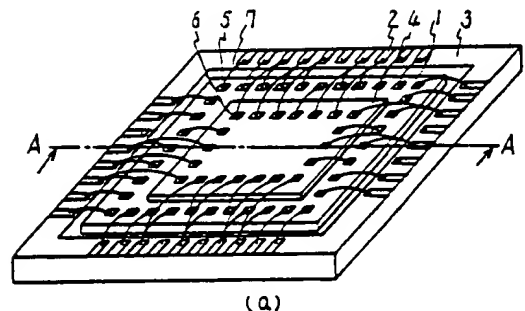
図面の簡単な説明

第1図(a)および(b)はそれぞれ本発明の一実施例を示す複合チップ半導体集積回路装置の斜視図およびそのA-A'断面図、第2図は従来の複合チップ半導体集積回路装置の平面図である。

1…第1の集積回路チップ、2…ケース・リード、3…ケース・アイランド、4…第2の集積回路チップ、5…第1の集積回路チップの外部接続

用導電膜、6…第2の集積回路チップの外部接続用導電膜、7…ボンディング・ワイヤ。

代理人 弁理士 内 原 晋



1 第1の集積回路チップ、4 第2の集積回路チップ
2 ケース・リード、3 ケース・アイランド、5,6 集積回路
チップの外部接続用導電膜、7 ボンディングワイヤ

第 1 図

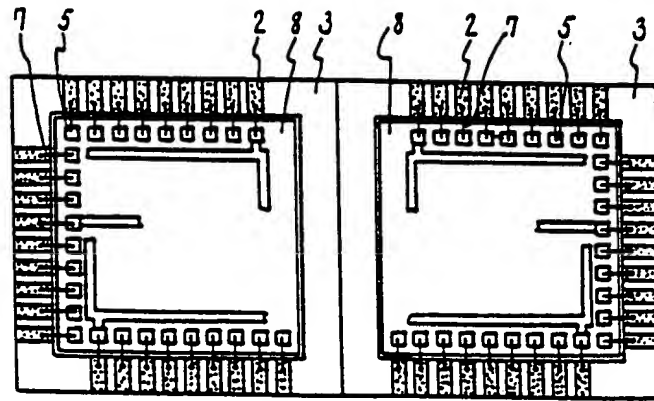


図 2